

CLIPPEDIMAGE= JP402105556A

PAT-NO: JP402105556A

DOCUMENT-IDENTIFIER: JP 02105556 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: April 18, 1990

INVENTOR-INFORMATION:

NAME

FURUHATA, TOMOYUKI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

SEIKO EPSON CORP

N/A

APPL-NO: JP63258835

APPL-DATE: October 14, 1988

INT-CL (IPC): H01L021/90

US-CL-CURRENT: 148/DIG.43,438/612 ,438/694 ,438/FOR.401 ,438/FOR.489

ABSTRACT:

PURPOSE: To avoid various problems which are caused by the quality of a coating film and improve the reliability of a wiring layer by surrounding the surface as well as side and lower faces of the coating film with a precise vapor growth film.

CONSTITUTION: A semiconductor device is equipped with an insulating film which has a multilayer structure consisting of the first vapor growth film 4, a coating film 5, and the second vapor growth film 6 on the surface of a substrate 1 and it is constructed that the surface, side and lower faces of a silica film 5 that acts as a coating film are surrounded by silicon nitride films 4 and 6. The silica film 5 thus does not come directly into contact with Al wiring layers 3 and 7 and further, the surroundings of the film 5 are protected completely by the silicon nitride film which is superior in a

moisture resistance as well as in blocking-proof and so on. A lowering of the reliability of the wiring layers which is caused by gases or impurities and the like in the wiring film is thus avoided and the reliability of the semiconductor device is exceedingly improved.

COPYRIGHT: (C)1990,JPO&Japio

⑫ 公開特許公報(A) 平2-105556

⑤ Int. Cl.³
H 01 L 21/90識別記号 庁内整理番号
Q 6824-5F

④ 公開 平成2年(1990)4月18日

審査請求 未請求 請求項の数 2 (全5頁)

⑭ 発明の名称 半導体装置

⑯ 特 願 昭63-258835

⑰ 出 願 昭63(1988)10月14日

⑱ 発 明 者 古 畑 智 之 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑳ 代 理 人 弁理士 上柳 雅 外1名

明 細 書

ベーション膜)の構造に関する。

1 発明の名称

半導体装置

[従来技術]

一般に、半導体装置の高速化及び高集積化に伴い、 Λ 2 多層配線構造が多く採用されている。この場合、多層配線構造に起因する表面段差を軽減し、配線層の信頼性を向上されるために種々な技術が検討されている。

例えば、このような技術のひとつとして、特開昭58-86746の「半導体装置」が開示されている。

2 特許請求の範囲

(1) 基板表面に第1の気相成長膜と、塗布膜と、第2の気相成長膜とを多層構造としてなる絶縁膜を有する半導体装置において、前記塗布膜の表面、側面及び下面が前記第1の気相成長膜もしくは前記第2の気相成長膜で覆われているようにしてなることを特徴とする半導体装置。

[発明が解決しようとする課題]

(2) 前記塗布膜がシリカ膜もしくはポリイミド樹脂膜から選ばれてなる請求項1記載の半導体装置。

しかしながら、前述の従来技術の半導体装置においては、第2図に示すように、ビア・ホール部でシリカ膜5が露出する。なお、図中、1は半導体基板、2はフィールド酸化膜、3は第1 Λ 2配線層、4、6はシリコン窒化膜、7は第2 Λ 2配線層、9はビア・ホール部である。

3 発明の詳細な説明

[産業上の利用分野]

本発明は半導体装置に係り、より詳しくは半導体装置の層間絶縁膜もしくは表面保護膜(パッシ

また、本構造をパッシベーション膜に適用した

場合には、スクライブ・ライン溝あるいはボンディング・パッド部において、第2図の場合と同様にシリカ膜が露出する。

既知のように、 Λ と配線層間絶縁膜へシリカ膜を適用する場合、低温(〜450℃程度)での膜形成となるため、シリカ膜は脆弱な膜質であり、膜中に水酸($-OH$)基等を微量含有する。したがって、後工程の熱処理の際に、前記シリカ膜露出部からシリカ膜中に含有された不純物や $-OH$ 基等のガスが拡散し、ビアホールの不良(例えば、 Λ とが付かない状態(*poisoned via*))、 Λ と配線層の腐食や下地素子の特性異常等の信頼性上の問題が多発していた。

また、シリカ膜に代えてポリイミド樹脂膜を用いた場合においても、シリカ膜の場合と同様にポリイミド樹脂膜中の塩素(Cl)等の不純物に起因する信頼性上の問題があった。

そこで、本発明はこのような問題点を解決するもので、その目的とするところは、半導体装置の信頼性を大幅に向上させる層間絶縁膜もしくはバ

ッシベーション膜の構造を提供するところにある。

[課題を解決するための手段]

本発明の半導体装置は、基板表面に第1の気相成長膜と、塗布膜と、第2の気相成長膜とを多層構造としてなる絶縁膜を有する半導体装置において、前記塗布膜の表面、側面及び下面が前記第1の気相成長膜もしくは前記第2の気相成長膜で覆われているようにしてなることを特徴とする。

この場合、前記塗布膜は、シリカ膜もしくはポリイミド樹脂膜から選ばれてなることが好ましい。

[実施例]

以下、本発明の一実施例を図面について説明する。

第1図は本発明の半導体装置の主要断面図である。なお、図中、符号は第2図と同一のものを示す。

本実施例の構造によれば、シリカ膜5の表面、側面及び下面がシリコン窒化膜4、6により囲まれている。したがって、シリカ膜5は Λ と配線層3、7に直接接することがないため、前述のシリカ膜中のガスもしくは不純物等に起因する配線層の信頼性低下の問題を回避することができる。

さらに、脆弱な膜質であるシリカ膜が、耐湿性やブロッキング性等に優れたシリコン窒化膜により周囲を完全に保護されているため、半導体装置の耐湿性等の信頼性が大幅に向上できる。

次に、本発明の半導体装置の製造方法を第3図(a)〜(d)について説明する。

(1) 第3図(a)は、従来技術により半導体基板1上にフィールド酸化膜2、第1 Λ と配線層3を形成後、気相成長(OV D)法によりシリコン窒化膜4を500〜3000Å堆積し、さらに、スピン塗布法によりシリカ膜5aを形成した状態を示す。この場合、シリカ膜としては、リンを含有したシラノール($Si(OH)_4$)系溶液をスピン塗布し、約300℃で約30分間程度の焼成

をし、約400℃、約20分間の緻密化処理をする。ここで、シリカ膜の表面形状はこの溶液の粘度およびスピン速度で調整される。塗布溶液中の $Si(OH)_4$ の量は、焼成後に残留する固形分で示すと、残留固形分の塗布溶液に対する重量比が約6%以下であり、リンの含有量は P_2O_5 換算で約2モル%程度であることが好ましい。さらに、スピン速度は2000〜5000rpmが好ましい。ここで、スピン塗布を複数回行ない、シリカ膜を厚膜形成してもよい。

(2) 第3図(b)は、 $OF_4 + H_2$ 、 OF_4 、 O_2F_2 、 O_3F_2 、 OHF_3 等のプラズマ雰囲気において、シリカ膜5bを表面から一定量除去(エッチバック)した状態を示す。この場合、段差部のシリカ膜は残り、平坦部のシリカ膜が除去されるようにする。

(3) 第3図(c)は、 OV D法により再度シリコン窒化膜6を1000〜3000Å堆積した状態を示す。

(4) 第3図(d)は、第1 Λ と配線層3上

にリアクティブ・エッチング (R I E) 法により、ビア・ホール 9 を開孔した状態を示す。

以下、第 2 A 2 配線層が形成され、前述の効果を奏する第 1 図に示すような半導体装置が比較的少ない工程で得られる。

次に、本発明の他の実施例を第 4 図について説明する。

第 4 図において、符号は第 1 図及び第 2 図と同一のものを示す。

本実施例の構造によれば、ビア・ホール 9 を開孔した部に露出するシリカ膜 5 の表面及び側面がシリコン窒化膜 6 により覆われている。したがって、前述の第 1 図の半導体装置と同様の効果が得られる。

次に、第 4 図の半導体装置の製造方法を第 5 図 (a) ~ (d) について説明する。

(1) 第 5 図 (a) は、第 3 図 (a) と同様の方法によりシリカ膜を形成した状態を示す。

(2) 第 5 図 (b) は、第 1 A 2 配線層 3 上に R I E 法によりビア・ホール 9 a を開孔した状

態を示す。

(3) 第 5 図 (c) は、O V D 法によりシリコン窒化膜 6 を $1000 \sim 3000 \text{ \AA}$ 堆積した状態を示す。

(4) 第 5 図 (d) は、前記第 1 のビア・ホール 9 a よりも小さく第 2 のビア・ホール 9 b を R I E 法により形成した状態を示す。

以下、第 2 A 2 配線層が形成され、前述の効果を奏する第 4 図に示すような半導体装置が比較的少ない工程で得られる。

次に、本発明の半導体装置の構造をパッシベーション膜に適用した例を第 6 図に示す。

第 6 図において、符号は第 1 図と同一のものを示す。なお、10 はリングラス (P S G) 膜、11 はスクライプ・ライン溝、12 はボンディング・パッドである。

本実施例のパッシベーション膜の構造によれば、スクライプ・ライン溝あるいはボンディング・パッド部においてもシリカ膜 5 は露出することがなく、シリコン窒化膜 4, 6 により覆われている。

その結果、シリカ膜 5 が外気と接触することはないため、外部から侵入する水分等を吸うことはなく、配線層の腐食等の問題は回避される。

なお、上記実施例においては、第 1 及び第 2 の気相成長膜としてシリコン窒化膜の場合を例示したが、それに変えて T E O S (tetraethoxysilane) を使った S i O₂ 膜、P S G 膜、B P S G 膜等を用いてもよい。さらに、シリカ膜としては、上記シリカ膜に変えて、不純物を含有しない S i (O H)₄ 系溶液、リンもしくはボロンの少なくともいずれかを含有する S i (O H)₄ 系溶液、オルガノシラノール (R_nS i (O H)_{4-n}) 系溶液、または S i (O R)₄ (R は O H、または O₂H、) 系溶液等から選ばれてなる塩布膜でもよい。さらに、塩布膜としてシリカ膜に変えて、ポリイミド樹脂膜 (例えば P I Q またはバイラリン) を用いても本発明の効果は充分に発揮されるものである。

[発明の効果]

以上述べたように本発明によれば、塩布膜の表

面、側面及び下面が緻密な O V D 膜により覆われているため、塩布膜が配線層もしくは外気と直接接することがない。その結果、塩布膜の膜質に起因する種々の問題点を回避することができ、配線層の信頼性を大幅に向上できる。

さらに、本発明の半導体装置は、層間絶縁膜のみならずパッシベーション膜の構造としても適用でき、耐湿性や耐アルカリ金属イオン侵入性等の信頼性に優れた半導体装置が実現できるという効果を有する。

4 図面の簡単な説明

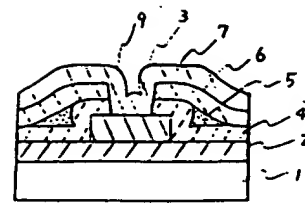
第 1 図は本発明の半導体装置の一実施例を示す断面図、第 2 図は従来の半導体装置を示す断面図、第 3 図 (a) ~ (d) は第 1 図に示す半導体装置の製造工程別断面図、第 4 図及び第 6 図は本発明の他の実施例を示す半導体装置の断面図、第 5 図 (a) ~ (d) は第 4 図に示す半導体装置の製造工程別断面図である。

1 …… 半導体基板

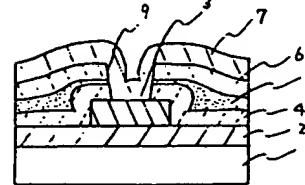
- 2 --- フィールド酸化膜
- 3 --- 第1 A 2 配線層
- 4, 6 --- シリコン窒化膜
- 5, 5a, 5b --- シリカ膜
- 7 --- 第2 A 2 配線層
- 8 --- プラズマ
- 9, 9a, 9b --- ビア・ホール
- 10 --- PSG 膜
- 11 --- スクライブ・ライン溝
- 12 --- ボンディング・ベッド

以 上

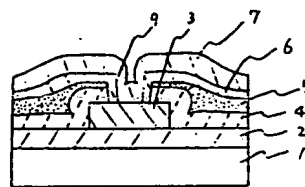
出 願 人 セイコーエプソン株式会社
 代 理 人 弁理士 上柳雅著 (他1名)



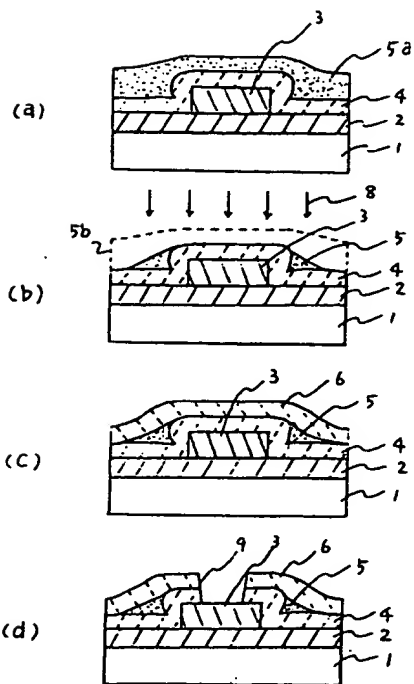
第 1 図



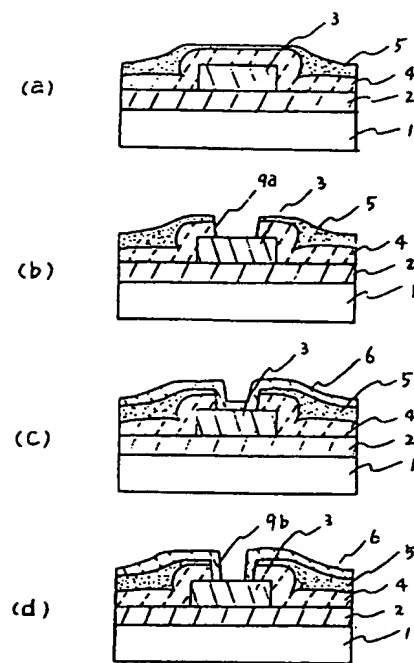
第 2 図



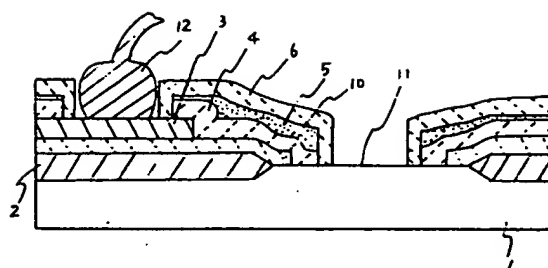
第 4 図



第 3 図



第 5 図



第 6 圖